

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—74757

⑤ Int. Cl.<sup>3</sup>  
H 04 L 27/18  
G 11 B 5/09  
H 04 L 7/08  
27/22

識別記号

106

庁内整理番号  
Z 7240—5K  
7452—5D  
A 7608—5K  
C 7240—5K

⑬ 公開 昭和59年(1984)4月27日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ 同期信号検出回路

⑮ 特 願 昭57—184514

⑯ 出 願 昭57(1982)10月22日

⑰ 発 明 者 西田正巳

横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

⑱ 発 明 者 渋谷敏文

横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

⑲ 発 明 者 西村恵造

横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

⑳ 発 明 者 尼田信考

横浜市戸塚区吉田町292番地株  
式会社日立製作所家電研究所内

㉑ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

㉒ 代 理 人 弁理士 薄田利幸

明 細 書

1. 発明の名称 同期信号検出回路

2. 特許請求の範囲

データをブロックに分割し各ブロックに同期  
信号を付加した信号を4相P S K方式で変調し  
て伝送された該4相P S K信号の再生装置にお  
いて、該4相P S K信号を復調することにより  
得られた奇数次、偶数次のパラレルの信号から、  
該同期信号の奇数次、偶数次の信号パターンを  
それぞれ別に検出し、同時に該信号パターンを  
検出した時に、該同期信号を検出したことを示  
す信号を出力する回路を設けたことを特徴とす  
る同期信号検出回路。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、PCM再生装置に係り、特に、4  
相P S K方式で変調されたデジタル信号から、  
同期信号の検出に好適な同検信号検出回路に関  
する。

(従来技術)

デジタルデータを伝送する場合、数データ  
をまとめてブロックを構成し、そのデータブロ  
ックの先頭を検知するために、データブロック  
の前に同期信号を入れて、伝送する方式がよく  
用いられる。その構成の例を第1図に示す。こ  
のとき、受信系はもとのデータブロックを得る  
ためにまず同期信号を検出しなければならない。  
ここで同期信号を検出する回路のブロック図を  
第2図に示す。この図で、1は第1図のデジ  
タル信号入力端子、2はローパスフィルタ、3  
は波形整形回路、4は伝送されたデジタル信  
号における立ち上り、及び立ち下りのエッジ検  
出回路、5は水晶発振器、14はデコーダ、6A  
は水晶発振器の出力、7はカウンタ、8Aはデ  
コーダ7の出力、9Aは波形整形回路3の出力、  
10は6段シフトレジスタ、11は同期信号パター  
ン検出回路、12は6入力ANDゲート、13は同  
期信号検出出力端子である。

次に第2図の回路動作を、第3図のタイミン  
グチャートを用いて説明する。第3図左側の符

号は、第2図中に記してある符号と対応し、その信号のタイミングを図に示している。

まず、第1図に示した信号が第2図のデジタル信号入力端子に入力される。このとき、伝送系の特性によってデジタル信号の波形がなまっているので、ローパスフィルタ2を通した後、波形整形回路3でもとの波形と同じような波形に整形する。次にシフトレジスタ10に、第3図9Aで一例として示した同期信号パターンが入ってくると、同期信号パターン検出回路11から各ビットごとに「1」の信号が6入力ANDゲート12に入力され、同期信号検出出力端子から「1」の信号が出力される。しかし、伝送系において時間変動の影響で信号に遅れや進みがあれば、誤った同期信号がシフトレジスタ10に入る場合がある。これを防ぐためには、伝送された信号の最小パルス幅 $T$ の中間のところで信号をシフトレジスタ10に入れてやればよい。そのために、第2図の例では最小パルス幅 $T$ の中に8クロックのパルスが入るような水晶発振器5

をもって来て、その出力6Aをカウンタ7に入力し、そのカウンタの出力を「4」と「12」でパルスが出るようにデコーダ14でデコードし、その出力8Aをシフトレジスタ10のクロックとして用いて8クロックのうち、4クロック目で信号をシフトレジスタに入れている。そしてまた、信号9Aの立ち上り、及び立ち下りのエッジをエッジ検出回路4で検出し、その出力パルスでカウンタ7にクリアする。したがって、第3図9Aのエッジから6Aのパルスが4つ目のところで8Aのパルスがデコーダ14から出力されることにより、9Aのパルス幅 $T$ のほぼ中間でシフトレジスタ10に信号を入力することができる。また、同じ信号「0」または「1」がそれぞれ2個以上連続して入った場合は以前にデコーダから出力したパルスから8個目ごとにふたたびデコーダからパルスが出るのでエッジがなくとも信号はシフトレジスタ10に入る。

次にデジタル信号の伝送方法として4相 $PSK$ を用いた場合を考える。このときの回路構

成の一例を第4図に示す。ここで第2図と同じ符号は第2図の動作と同じ働きをする。さらに、15は4相 $PSK$ 信号入力端子、16は掛算器、17はキャリア再生回路、18は位相器、20はインバータ、21は2段シフトレジスタ、8Bはデコーダ14の出力、9Bは波形成形回路3から出力された奇数次の信号、9Cは波形成形回路3から出力された偶数次の信号、19Aはシフトレジスタ21によりパラレルで入力された信号9B、9Cをシリアルに変換した信号である。

次に第4図の回路動作を、第6図のタイミングチャートを用いて説明する。第6図の左側の符号は、第4図中に記してある符号と対応し、その信号のタイミングを図に示している。また、第6図、19A、9B、9Cにわたる矢印はパラレル信号とシリアル信号の対応を示している。第4図の4相 $PSK$ 信号入力端子1に入ってきた4相 $PSK$ 方式で変調された信号は、掛算器16、キャリア信号再生回路17、位相器18の4相 $PSK$ 復調回路により復調され、奇数次、及び

偶数次の信号としてそれぞれバンドパスフィルタ2、波形整形回路3に入った後、それぞれ信号9B、9Cが出力される。このとき、前述の同期信号検出方式を用いれば、シフトレジスタ21でパラレルの信号を9B、9Cをシリアル信号19Aに変換しなければならない。また、エッジの検出を信号9Bからとったとしても、デコーダ14の出力は信号8Bのようにしなければならない。このとき、時間変動の余裕としては進みに対し、 $\frac{3}{8}T$ 、遅れに対して $\frac{4}{8}T$ しかなく、前述の例と変わっていない。また、分解能もパルス幅 $T$ の8等分しかない。

〔発明の目的〕

本発明の目的は、4相 $PSK$ 方式で変調されたデジタル信号を復調した後、同期信号を検出する場合において、従来例よりも信号を取り込むタイミングの時間変動に対する余裕を改善し、さらに信号の最小パルス幅に対して、より細かいタイミングで信号を取り込むことにより、同期信号の検出精度を上げた同期信号検出回路

を提供することにある。

〔発明の概要〕

4相 $PSK$ の復調器で復調された奇数次と偶数次の平行信号をシリアル信号に変換せず平行のままそれぞれ奇数次と偶数次の信号から同期信号を検出することにより、信号の取り込みに対するパルス幅をシリアル信号の場合と比べて2倍とし、それに応じて信号取り込みのタイミングが従来例の2倍となり、上記目的を実現したことにある。

〔発明の実施例〕

以下、本発明の一実施例を第5図のブロック図、及び第6図のタイミングチャートで説明する。

第6図において、第2図、第4図と符号が同じものは、それぞれ第2図、第4図で述べたものと同じ動作を行なうものである。また、22は3段シフトレジスタ、23は奇数次の同期信号パターン検出回路、24は偶数次の同期信号パターン検出回路、25は2入力 $AND$ ゲードである。

パルス幅は従来例において、第4図の6段シフトレジスタ10に取り込むときの最小パルス幅 $T$ の2倍になっているので、第6図6Aの16個のパルスが $2T$ の幅のパルスの間に入ることになる。このとき、シフトレジスタ22に信号を取り込むタイミングとしては、その最小パルス幅 $2T$ の中間でとればよいので、エッジの所から8個のパルスのところでシフトレジスタにクロックのパルスを入れてやればよい。これはカウンタ7の出力 $U_0$ から出され、第6図の8Cのタイミングとなる。

ここで従来例で同期信号を検出するときの信号19Aと本発明で同期信号を検出するときの信号9Bのタイミングを比較すると、従来例の最小パルス幅は $T$ で6Aのパルスが8個入るときには、本発明の場合の最小パルス幅は $2T$ となり、6Aのパルスが2倍の16個となり、また、従来例と本発明の場合の最小パルス幅とは対応しており、したがって、パルスの分解能は2倍の能力を持つことになる。さらに、時間変動の

さらに、第6図の左側の符号は、第5図中に記してある符号と対応し、その信号のタイミングを図に示している。

第5図において、4相 $PSK$ 方式で変調されたデジタル信号が4相 $PSK$ 入力端子1に入力され、復調された後、奇数次、及び偶数次の信号に平行に出力される。そして、それらの信号をローパスフィルタ2、波形整形回路3を過すと、それぞれ奇数次、偶数次の同期信号が第6図9B、9Cのように平行に出力される。次にシフトレジスタ22にそれぞれ信号を取り込み、奇数次及び偶数次の同期信号パターン検出回路23、24で同期信号が検出され、それぞれから $1'$ の信号が2入力 $AND$ ゲート25に入って、同期信号検出出力端子から $1'$ の同期信号を検出したことを示す信号が出力される。この過程において、奇数次及び偶数次の信号をシフトレジスタに取り込むときのタイミングを考える。このとき、水晶発振器5の出力が従来例と同じであるとする、9B及び9Cの最小

遅れや進みに対しても、本発明の場合では進みに対して $\frac{7}{8}T$ 、遅れに対して $\frac{8}{8}T$ と、ほぼ従来例に比較して2倍の余裕がある。

〔発明の効果〕

本発明によれば、4相 $PSK$ 信号を復調した後の奇数次、偶数次の平行の信号から、それぞれ奇数次、偶数次の同期信号を検出することにより、信号を取り込む時間が倍となるために、信号の検出精度が高まり、さらに時間変動の遅れや進みに対する余裕も向上するという効果がある。

4. 図面の簡単な説明

第1図はデジタル信号を伝送する場合の信号の形状の一例を示す図、第2図は第1図に示した形状の信号から同期信号を検出する回路の一例を示すブロック図、第3図は第2図に示した各部の信号のタイミングを示す図、第4図は4相 $PSK$ で変調された信号から同期信号を検出する従来回路の一例を示すブロック図、第5図は本発明による実施例を示すブロック図、

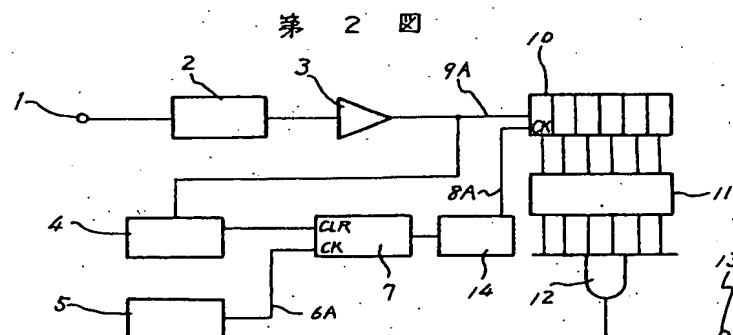
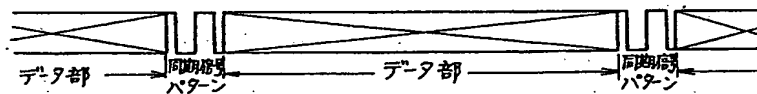
第 6 図は第 5 図 ~~第 6 図~~ に示した各部の信号の  
タイミングを示す図である。

4…エッジ検出回路、5…水晶発振器、7…カウンタ、13…同期信号検出力端子、15…4相PSK入力端子、16…掛算器、17…キャリア再生回路、18…位相器、22…3段シフトレジスタ、23…奇数次同期信号パターン検出回路、24…偶数次同期信号パターン検出回路、25…2入力ANDゲート。

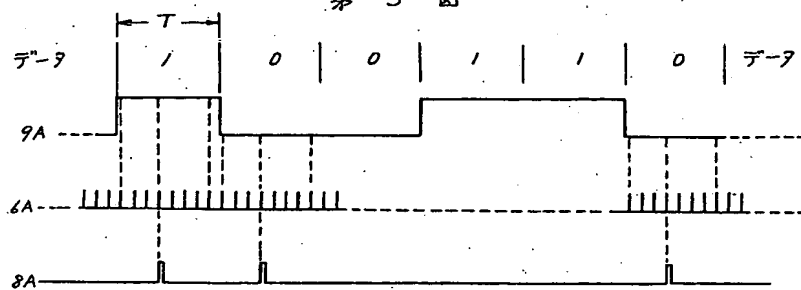
代理人弁理士 薄 田 利



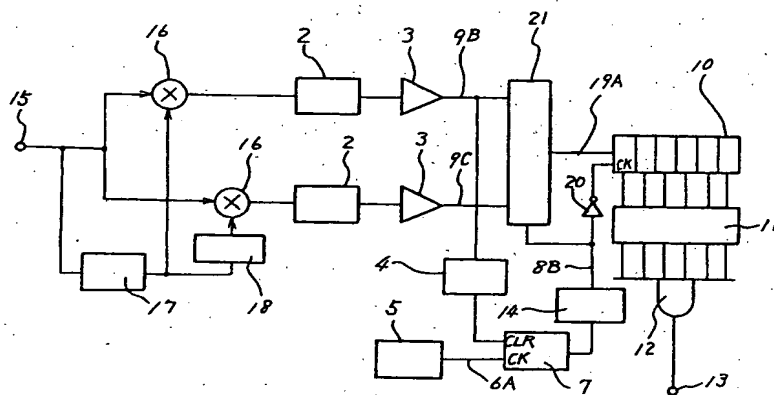
第 1 圖



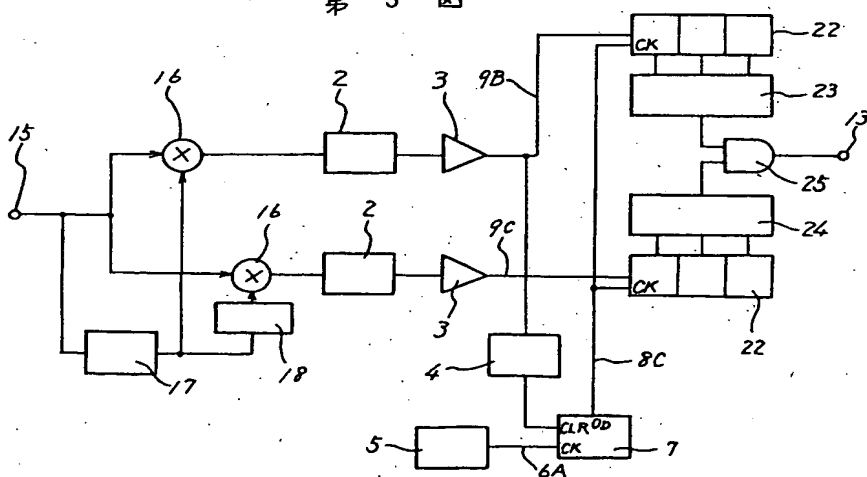
第 3 回



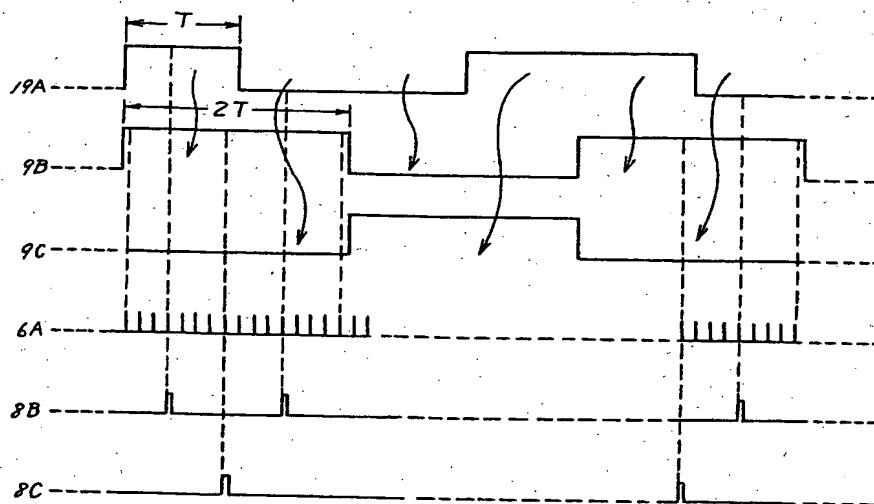
第 4 回



第 5 圖



第 6 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**